

Docket No.: SON-2768
(PATENT)

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of:
Naoto SASAKI et al

Application No.: Not Yet Assigned

Group Art Unit: N/A

Filed: June 26, 2003

Examiner: Not Yet Assigned

For: ELECTRONIC CIRCUIT APPARATUS AND
INTEGRATED CIRCUIT DEVICE

CLAIM FOR PRIORITY AND SUBMISSION OF DOCUMENTS

MS Patent Application
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Sir:

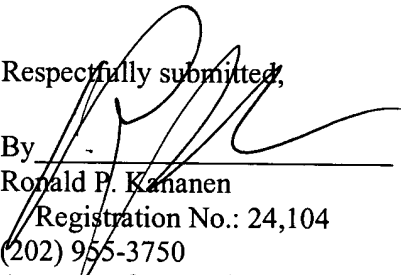
Applicant hereby claims priority under 35 U.S.C. 119 based on the following prior foreign application filed in the following foreign country on the date indicated:

<u>Country</u>	<u>Application No.</u>	<u>Date</u>
Japan	P2002-191064	June 28, 2002

In support of this claim, a certified copy of the said original foreign application is filed herewith.

Dated: June 26, 2003

Respectfully submitted,

By 

Ronald P. Kananen
Registration No.: 24,104
(202) 955-3750
Attorneys for Applicant

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 6月28日

出 願 番 号

Application Number:

特願2002-191064

[ST.10/C]:

[JP2002-191064]

出 願 人

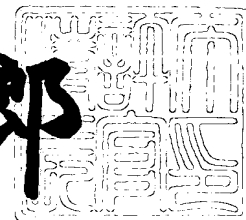
Applicant(s):

ソニー株式会社

2003年 4月 4日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3023682

【書類名】 特許願
【整理番号】 0290134101
【提出日】 平成14年 6月28日
【あて先】 特許庁長官殿
【国際特許分類】 H01L 23/538
【発明者】

【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社
内

【氏名】 佐々木 直人

【発明者】

【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社
内

【氏名】 平山 照峰

【特許出願人】

【識別番号】 000002185

【氏名又は名称】 ソニー株式会社

【代理人】

【識別番号】 100094053

【弁理士】

【氏名又は名称】 佐藤 隆久

【手数料の表示】

【予納台帳番号】 014890

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9707389

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 電子回路装置

【特許請求の範囲】

【請求項 1】

基板上に電子回路を有する電子素子が複数搭載され、前記電子素子間が電氣的に接続されてなる電子回路装置であって、

各電子素子は、

接続が必要な他の前記電子素子に隣接する辺に沿って配置され、入出力インターフェース回路を介さずに前記電子回路に接続された複数の素子間接続用端子と、

他の辺に沿って配置され、前記入出力インターフェース回路を介して前記電子回路に接続された複数の外部接続用端子と

を有する電子回路装置。

【請求項 2】

他の辺に沿って配置され、前記電子回路のテストのためのテスト用端子を複数有し、

前記テスト用端子は、前記入出力インターフェース回路を介して前記電子回路に接続されている

請求項 1 記載の電子回路装置。

【請求項 3】

接続が必要な他の前記電子素子に隣接する辺に沿って、前記素子間接続用端子よりも内側に配置された、前記電子回路のテストのためのテスト用端子を複数有し、

前記テスト用端子は、前記入出力インターフェース回路を介して前記電子回路に接続されている

請求項 1 記載の電子回路装置。

【請求項 4】

前記外部接続用端子は、前記電子回路のテストのための接続端子を兼ねる

請求項 1 記載の電子回路装置。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、電子回路装置に関し、特に半導体チップ等の複数の電子素子が一つの電子部品として組み立てられている、いわゆるマルチチップモジュール技術を適用した電子回路装置に関する。

【 0 0 0 2 】

【従来の技術】

デジタルネットワーク情報社会の進化に対応して、マルチメディア機器を始めとするデジタル家電や携帯情報端末を中心とした電子機器が著しく発展している。その結果、半導体に対する多機能化や高性能化に対する要求が高まり、1チップに高度なシステム機能を詰め込んだシステムオンチップ（SOC：System On Chip）が注目を集めている。

【 0 0 0 3 】

システムオンチップは、従来ボード上で実現してきたシステムを一つのシリコンチップ上で実現するもので、低消費電力、高性能、実装面積削減というメリットが大きいものである。

【 0 0 0 4 】

しかし、最近、システムオンチップの開発期間の長期化や、様々なシステム機能を一つのチップに統合するための開発リスクが問題となり始め、システムオンチップと同等の機能を短期間、低コストで実現できる可能性を秘めるシステムインパッケージ（SIP：System In Package）技術が注目されている。

【 0 0 0 5 】

システムインパッケージとは、複数のLSIを単一のパッケージに封止してシステム化を実現したものであり、最終的にはシステムオンチップと同等の機能を低コストで供給することを目指すものである。

【 0 0 0 6 】

システムインパッケージのような従来のマルチチップモジュールでは、基板に実装される各半導体チップの最外周には電子回路に接続する入出力インターフェ

ース回路を介して複数の接続用パッドが配置されており、半導体チップ間の電氣的な接続は、基板に形成された配線と両者の接続用パッドとをワイヤーボンディングやはんだボールにより接続することにより行なわれている。

【 0 0 0 7 】

SEMI Technology Symposium 2001のセッション9におけるパッケージングの講演では、従来のシステムインパッケージにおいて、コスト低減等のため実装する半導体チップとして標準品を使用するために、標準インターフェース回路を使うことによる無駄な消費電力が発生することが指摘されている。そして、このような消費電力の増大を抑制すべく、半導体チップに標準の入出力インターフェース回路とは別にマルチチップモジュール用の低付加容量の入出力インターフェース回路を搭載する提案がなされている。

【 0 0 0 8 】

【発明が解決しようとする課題】

しかしながら、システムインパッケージのようなマルチチップモジュールでは、複数の半導体チップが搭載されているが、各半導体チップのパッドの中には、必ずしもチップ内の電子回路とモジュール外部との間の接続を司るわけではなく、内部の半導体チップ同士の接続に用いられるパッドもある。

従って、全てのパッドと電子回路との間に入出力インターフェースを設けることは、面積的にも無駄であり、消費電力の大きい入出力インターフェース回路の介在により、全体として余計な電力を消費してしまう。

【 0 0 0 9 】

このような観点から、特開平7-153902号公報には、論理回路のコア部のみからなる半導体チップを用意し、システムインパッケージの外周において、入出力インターフェース回路のみが形成された半導体チップを用意して、コア部のみからなる半導体チップ間の接続を入出力インターフェース回路を介さずに接続する技術が開示されている。

【 0 0 1 0 】

しかしながら、高速かつ低消費電力なシステムインパッケージを実現するためには、従来のような標準品を用いたり、特開平7-153902号公報に記載の

技術のように一律に機能を分けた半導体チップを作製する方法を採用するのではなく、所望の機能を実現するために搭載する複数の半導体チップの配置および接続関係を考慮した上で、各半導体チップに形成するパッド配置や入出力インターフェース回路の配置等を最適なものとなるようにレイアウト設計し、各半導体チップ間の接続を最短距離にすることが重要である。

【 0 0 1 1 】

本発明は上記の事情に鑑みてなされたものであり、その目的は、各電子素子の素子間接続用端子、外部接続用端子および入出力インターフェース回路の配置を最適化することにより、電力消費の抑制および信号伝達時間の短縮を実現することができる電子回路装置を提供することにある。

【 0 0 1 2 】

【課題を解決するための手段】

上記の目的を達成するため、本発明の電子回路装置は、基板上に電子回路を有する電子素子が複数搭載され、前記電子素子間が電氣的に接続されてなる電子回路装置であって、各電子素子は、接続が必要な他の前記電子素子に隣接する辺に沿って配置され、入出力インターフェース回路を介さずに前記電子回路に接続された複数の素子間接続用端子と、他の辺に沿って配置され、前記入出力インターフェース回路を介して前記電子回路に接続された複数の外部接続用端子とを有する。

【 0 0 1 3 】

他の辺に沿って配置され、前記電子回路のテストのためのテスト用端子を複数有し、前記テスト用端子は、前記入出力インターフェース回路を介して前記電子回路に接続されている。

【 0 0 1 4 】

接続が必要な他の前記電子素子に隣接する辺に沿って、前記素子間接続用端子よりも内側に配置された、前記電子回路のテストのためのテスト用端子を複数有し、前記テスト用端子は、前記入出力インターフェース回路を介して前記電子回路に接続されている。

【 0 0 1 5 】

前記外部接続用端子は、前記電子回路のテストのための接続端子を兼ねる。

【0016】

本発明の電子回路装置では、各電子素子には、入出力インターフェース回路を介さずに電子回路に接続された複数の素子間接続用端子が、接続が必要な他の電子素子に隣接する辺に沿って配置されていることから、他の辺に配置されるのに比して接続が必要な各電子素子の素子間接続用端子間の距離が短くなり、また、各電子素子の電子回路間において入出力インターフェースを介さずに信号の授受が行なわれる。

【0017】

【発明の実施の形態】

以下に、本発明の電子回路装置の実施の形態について、図面を参照して説明する。

【0018】

第1実施形態

図1は、いわゆるマルチチップモジュール技術を適用した本実施形態に係る電子回路装置の平面図である。

図1に示すように、本実施形態に係る電子装置では、インタポーザと称されるシリコン等からなる支持基板100に2つの半導体チップ1、2が搭載されている。

【0019】

第1の半導体チップ1は、論理回路あるいはメモリ等の電子回路1aを備え、第2の半導体チップ2に隣接する1辺に沿って、第2の半導体チップ2との接続を担う接続用パッド3が複数配置されている。この接続用パッド3は、後述するテスト用パッド6およびテスト用兼接続用パッド7よりも小さく、例えば、 $30\mu\text{m} \times 30\mu\text{m}$ 角以下である。

【0020】

接続用パッド3は、電子回路1aから直接信号を第2の半導体チップ2に伝達できるように、入出力インターフェース回路（I/O回路）を介さずに電子回路1aに電氣的に接続されている。また、このような接続用パッド3の配置とする

ため、第 1 の半導体チップの電子回路 1 a のうち、第 2 の半導体チップ 2 との信号の授受を行なう回路を第 2 の半導体チップ 2 側に集めるように設計しておく。

【 0 0 2 1 】

さらに、第 1 の半導体チップ 1 には、第 2 の半導体チップ 2 に隣接する辺以外の他の 3 辺に沿って、電子回路 1 a の外側に、電子回路 1 a に接続する入出力インターフェース回路 5 が複数配置されている。

入出力インターフェース回路 5 は、取り扱う信号の電圧レベルを外部機器と半導体チップとの間で一致させる等の機能を有し、半導体チップ外からの信号を検知する入力バッファや、チップ外へ信号を駆動する出力バッファ、およびバス形式の双方向性バッファ等がある。

【 0 0 2 2 】

入出力インターフェース回路 5 の外側には、電子回路 1 a のファンクションテスト等のテストを行なう際に、プローバ等と接触させるためのテスト用パッド 6 と、当該テストを行なう際にプローバ等と接触させ、かつ、テストした後にも支持基板との接続用として用いるテスト用兼接続用パッド 7 が複数配置されている。なお、テスト用兼接続用パッド 7 が本発明の外部接続用端子に相当する。

【 0 0 2 3 】

テスト用パッド 6 およびテスト用兼接続用パッド 7 は、入出力インターフェース回路 5 を介して電子回路 1 a に接続されている。これにより、テスト時および使用時に、外部機器との信号の電圧レベルを一致させて、電気的な信号の授受が行なわれる。

【 0 0 2 4 】

第 2 の半導体チップ 2 は、論理回路あるいはメモリ等の電子回路 2 a を備え、第 1 の半導体チップ 1 に隣接する 1 辺に沿って、第 1 の半導体チップ 1 との接続を担う接続用パッド 3 が複数配置されている。

【 0 0 2 5 】

接続用パッド 3 は、電子回路 1 a に入出力インターフェース回路を介さずに電気的に接続されている。また、このような接続用パッド 3 の配置とするため、第 2 の半導体チップの電子回路 2 a のうち、第 1 の半導体チップ 1 との信号の授受

を行なう回路を第 1 の半導体チップ 1 側に集めるように設計しておく。

【 0 0 2 6 】

さらに、第 2 の半導体チップ 2 には、第 1 の半導体チップ 1 に隣接する辺以外の他の 3 辺に沿って、電子回路 2 a の外側に、電子回路 2 a に接続する入出力インターフェース回路 5 が複数配置されている。

【 0 0 2 7 】

入出力インターフェース回路 5 の外側には、第 1 の半導体チップ 1 と同様に、入出力インターフェース回路 5 を介して電子回路 1 a に接続された、テスト用パッド 6 およびテスト用兼接続用パッド 7 が複数配置されている。

【 0 0 2 8 】

上記の第 1 の半導体チップ 1 および第 2 の半導体チップ 2 の接続用パッド 3 同士が、接続配線 4 により接続されることにより、第 1 の半導体チップ 1 および第 2 の半導体チップ 2 が電氣的に接続されることとなる。

【 0 0 2 9 】

本実施形態に係る電子回路装置は、図 1 に示すように、2 つの半導体チップ 1, 2 を一群として見ると、半導体チップ群 1, 2 の周囲にインターフェース回路 5 や、テスト用パッド 6 および外部接続用パッド 7 が配置された構成をなしており、実質的に一つのチップに電子回路 1 a, 2 a が形成された場合のシステム L S I に近い構成を有している。

【 0 0 3 0 】

上記の第 1 の半導体チップ 1 および第 2 の半導体チップ 2 を接続配線 4 により接続することとしたが、これは例えば以下に示すように実現される。

図 2 は、半導体チップ 1, 2 間の電氣的接続方法、および支持基板 1 0 0 への実装の態様の一例を説明するための模式的な断面図である。

【 0 0 3 1 】

図 2 に示すように、例えば、半導体チップ 1, 2 の接続用パッド 3 を、接続配線 4 が形成された接続用半導体チップ 1 1 0 を介して接続する。

すなわち、図 1 に示すような接続配線 4 が形成された接続用半導体チップ 1 1 0 を用意し、当該接続用半導体チップ 1 1 0 の接続配線 4 が形成された面を第 1

および第 2 の半導体チップ 1, 2 に向け、接続用半導体チップ 1 1 0 の接続配線 4 と半導体チップ 1, 2 の接続用端子とをバンプ 1 1 1 により電氣的に接続させて、半導体チップ 1, 2 上に接続用半導体チップ 1 1 0 を搭載する。

【 0 0 3 2 】

これにより第 1 の半導体チップ 1 の接続用パッド 3 と、第 2 の半導体チップ 2 の接続用パッド 3 とが、その上に搭載された接続用半導体チップ 1 1 0 の接続配線 4 を介して電氣的に接続される。

【 0 0 3 3 】

上記の接続方法を採用する場合には、半導体チップ 1, 2 の電子回路 1 a, 2 a の形成面とは反対側の面を支持基板 1 0 0 に向けて搭載し、半導体チップ 1, 2 のテスト用兼接続用パッド 7 と、支持基板 1 0 0 に形成された図示しない配線とをボンディングワイヤ 1 0 2 により接続する。なお、この図示しない配線は、それぞれ、周囲に形成された外部接続用パッド 1 0 1 に接続されている。

【 0 0 3 4 】

上記構成の電子回路装置では、ボンディングワイヤ 1 0 2 を形成せずに、接続用半導体チップ 1 1 0 を搭載した状態で、半導体チップ 1, 2 のテスト用パッド 6 およびテスト用兼接続用パッド 7 にプローバを接触させることでテストが行なわれる。

テストにより電子回路装置が良品であると判定された場合には、半導体チップ 1, 2 のテスト用兼接続用パッド 7 と支持基板 1 0 0 との配線をボンディングワイヤ 1 0 2 により接続し、支持基板 1 0 0 に形成された外部接続用パッド 1 0 1 をさらに図示しない実装基板のパッド等に接続することにより使用される。

【 0 0 3 5 】

また、上記の方法の他、図 3 に示すような方法を採用することにより、半導体チップ 1, 2 間の電氣的接続が可能である。

図 3 は、半導体チップ 1, 2 間の電氣的接続方法、および支持基板 1 0 0 への実装の態様の他の一例を説明するための模式的な断面図である。

【 0 0 3 6 】

図 3 に示すように、例えば、半導体チップ 1, 2 の接続用パッド 3 が形成され

た面を向けて、接続配線 4 が形成された支持基板 1 0 0 上に各半導体チップ 1, 2 を搭載する。このとき、支持基板 1 0 0 の接続配線 4 と各半導体チップ 1, 2 の接続用パッド 3 との接続はバンプ 1 1 1 を介して行なわれる。

【 0 0 3 7 】

支持基板 1 0 0 には、接続配線 4 の他にも、半導体チップ 1, 2 のテスト用パッド 6 やテスト用兼接続用パッド 7 と接続するための配線が形成されており、テスト用パッド 6 およびテスト用兼接続用パッド 7 と配線との間も、バンプ 1 1 1 を介して同時に電氣的に接続される。なお、当該配線は、支持基板 1 0 0 の周囲に形成された接続用パッド 1 0 1 のそれぞれに接続されている。

【 0 0 3 8 】

上記構成の電子回路装置では、半導体チップ 1, 2 のテスト用パッド 6 およびテスト用兼接続用パッド 7 に配線を介して電氣的に接続された外部接続用パッド 1 0 1 にプローバを接触させることでテストが行なわれる。

テストにより電子回路装置が良品であると判定された場合には、半導体チップ 1, 2 のテスト用兼接続用パッド 7 に配線を介して電氣的に接続された外部接続用パッド 1 0 1 をボンディングワイヤにより図示しない実装基板のパッドと電氣的に接続することにより使用されることとなる。

【 0 0 3 9 】

上記構成の本実施形態に係る電子回路装置では、各半導体チップ 1, 2 の互いに隣接する 1 辺には、接続用パッド 3 のみが集まって配置されており、残りの他の 3 辺に沿って入出力インターフェース回路 5 や、テスト用パッド 6、外部接続用パッド 7 が配置されている。そして、さらに接続用パッド 3 と電子回路 1 a, 2 a とは、入出力インターフェース回路 5 を介さずに直接接続された構成となっている。

【 0 0 4 0 】

このように、各接続用パッド 3 を互いに隣接する辺のみに設ける、すなわち、接続する相手側の半導体チップに最も近い辺に沿って設けることで、接続配線 4 により最短距離での接続が可能となり、さらに、信号伝達時間を短縮することができる。

【 0 0 4 1 】

また、各半導体チップ 1, 2 の電子回路 1 a, 2 a 間が、余計な入出力インターフェース回路 5 を介さずに接続されることから、この入出力インターフェース回路 5 がない分だけ、電力消費が抑制され、信号伝達時間も短縮される。

【 0 0 4 2 】

さらに、本実施形態では、半導体チップ 1, 2 間の電氣的接続は、ボンディングワイヤを使用するのではなく、ウェーハ前工程と同様にして、接続用半導体チップ 1 1 0 あるいは支持基板 1 0 0 に形成した接続配線 4 を介して行なうことから、配線の密度を大きくすることができ、高速動作が可能となる。このように、接続配線 4 の密度を大きくすることができることから、各半導体チップ 1, 2 の一辺に小さい接続用パッド 3 を集めて配置した場合においても、各接続用パッド 3 間を確実に接続させることができる。

【 0 0 4 3 】

第 2 実施形態

図 4 は、いわゆるマルチチップモジュール技術を適用した本実施形態に係る電子回路装置の平面図である。

図 4 に示すように、本実施形態に係る電子装置では、インタポーザと称されるシリコン等からなる支持基板 1 0 0 に 3 つの半導体チップ 1 1, 1 2, 1 3 が搭載されている。なお、図 1 と同様の構成要素には同一の符号を付してあり、その説明は省略する。

【 0 0 4 4 】

第 1 の半導体チップ 1 1 は、論理回路あるいはメモリ等の電子回路 1 1 a を備え、第 2 の半導体チップ 1 2 および第 3 の半導体チップ 1 3 に隣接する 2 辺に沿って、第 2 および第 3 の半導体チップ 1 2, 1 3 との接続を担う接続用パッド 3 が複数配置されている。

【 0 0 4 5 】

接続用パッド 3 は、電子回路 1 1 a に入出力インターフェース回路を介さずに電氣的に接続されている。また、このような接続用パッド 3 の配置とするため、第 1 の半導体チップ 1 1 の電子回路 1 1 a のうち、第 2 および第 3 の半導体チッ

プ 1 2, 1 3 との信号の授受を行なう回路を第 2 および第 3 の半導体チップ 1 2, 1 3 側に集めるように設計しておく。

【 0 0 4 6 】

さらに、第 1 の半導体チップ 1 1 には、第 2 および第 3 の半導体チップ 1 2, 1 3 に隣接する辺以外の他の 2 辺に沿って、電子回路 1 1 a の外側に、電子回路 1 1 a に接続する入出力インターフェース回路 5 が複数配置されている。

【 0 0 4 7 】

入出力インターフェース回路 5 の外側には、入出力インターフェース回路 5 を介して電子回路 1 1 a に接続された、テスト用パッド 6 およびテスト用兼接続用パッド 7 が複数配置されている。

【 0 0 4 8 】

第 2 の半導体チップ 1 2 は、論理回路あるいはメモリ等の電子回路 1 2 a を備え、第 1 の半導体チップ 1 1 および第 3 の半導体チップ 1 3 に隣接する 2 辺に沿って、第 1 および第 3 の半導体チップ 1 1, 1 3 との接続を担う接続用パッド 3 が複数配置されている。

【 0 0 4 9 】

接続用パッド 3 は、電子回路 1 2 a に入出力インターフェース回路を介さずに電氣的に接続されている。また、このような接続用パッド 3 の配置とするため、第 2 の半導体チップ 1 2 の電子回路 1 2 a のうち、第 1 および第 3 の半導体チップ 1 1, 1 3 との信号の授受を行なう回路を第 1 および第 3 の半導体チップ 1 1, 1 3 側に集めるように設計しておく。

【 0 0 5 0 】

さらに、第 2 の半導体チップ 1 2 には、第 1 および第 3 の半導体チップ 1 1, 1 3 に隣接する辺以外の他の 2 辺に沿って、電子回路 1 2 a の外側に、電子回路 1 2 a に接続する入出力インターフェース回路 5 が複数配置されている。

【 0 0 5 1 】

入出力インターフェース回路 5 の外側には、入出力インターフェース回路 5 を介して電子回路 1 2 a に接続された、テスト用パッド 6 およびテスト用兼接続用パッド 7 が複数配置されている。

【 0 0 5 2 】

第 3 の半導体チップ 1 3 は、論理回路あるいはメモリ等の電子回路 1 3 a を備え、第 1 の半導体チップ 1 1 および第 2 の半導体チップ 1 2 に隣接する 1 辺に沿って、第 1 および第 2 の半導体チップ 1 1, 1 2 との接続を担う接続用パッド 3 が複数配置されている。

【 0 0 5 3 】

接続用パッド 3 は、電子回路 1 3 a に入出力インターフェース回路を介さずに電氣的に接続されている。また、このような接続用パッド 3 の配置とするため、第 3 の半導体チップ 1 3 の電子回路 1 3 a のうち、第 1 および第 2 の半導体チップ 1 1, 1 2 との信号の授受を行なう回路を第 1 および第 2 の半導体チップ 1 1, 1 2 側に集めるように設計しておく。

【 0 0 5 4 】

さらに、第 3 の半導体チップ 1 3 には、第 1 および第 2 の半導体チップ 1 1, 1 2 に隣接する辺以外の他の 3 辺に沿って、電子回路 1 3 a の外側に、電子回路 1 3 a に接続する入出力インターフェース回路 5 が複数配置されている。

【 0 0 5 5 】

入出力インターフェース回路 5 の外側には、入出力インターフェース回路 5 を介して電子回路 1 3 a に接続された、テスト用パッド 6 およびテスト用兼接続用パッド 7 が複数配置されている。

【 0 0 5 6 】

第 1 の半導体チップ 1 1 と第 2 の半導体チップ 1 2 の接続用パッド 3 間、第 1 および第 2 の半導体チップ 1 1, 1 2 と第 3 の半導体チップ 1 3 の接続用パッド 3 間、接続配線 4 によりそれぞれ接続されることで、各半導体チップ間の電氣的な接続がなされている。

【 0 0 5 7 】

本実施形態に係る電子回路装置は、第 1 実施形態と同様、図 4 に示すように、3 つの半導体チップ 1 1, 1 2, 1 3 を一群として見ると、半導体チップ群 1 1, 1 2, 1 3 の周囲にインターフェース回路 5 や、テスト用パッド 6 および外部接続用パッド 7 が配置された構成をなしており、実質的に一つのチップに電子回

路 1 1 a, 1 2 a, 1 3 a が形成された場合のシステム L S I に近い構成を有している。

【 0 0 5 8 】

上記の各半導体チップ 1 1, 1 2, 1 3 間の接続配線 4 による接続および支持基板 1 0 0 への実装については、第 1 実施形態において図 2 および図 3 に示した方法と同様にして行なうことができる。

【 0 0 5 9 】

上記構成の本実施形態に係る電子回路装置によれば、第 1 実施形態と同様に、各半導体チップ 1 1, 1 2, 1 3 間を最短距離で接続配線 4 により接続することができ、かつ、各半導体チップ 1 1, 1 2, 1 3 の各電子回路 1 1 a, 1 2 a, 1 3 a 間が、余計な入出力インターフェース回路 5 を介さずに接続されることから、信号伝達時間の短縮、消費電力の抑制を図ることができる。

【 0 0 6 0 】

さらに、各半導体チップ 1 1, 1 2, 1 3 間の電氣的接続は、ボンディングワイヤを使用するのではなく、ウェーハ前工程と同様にして、接続用半導体チップ 1 1 0 あるいは支持基板 1 0 0 に形成した接続配線 4 を介して行なうことから、配線の密度を大きくすることができ、高速動作が可能となる。

【 0 0 6 1 】

第 3 実施形態

図 5 は、いわゆるマルチチップモジュール技術を適用した本実施形態に係る電子回路装置の平面図である。

図 5 に示すように、本実施形態に係る電子装置では、インタポーザと称されるシリコン等からなる支持基板 1 0 0 に 2 つの半導体チップ 2 1, 2 2 が搭載されている。なお、図 1 と同様の構成要素には同一の符号を付してあり、その説明は省略する。

【 0 0 6 2 】

第 1 の半導体チップ 2 1 は、論理回路あるいはメモリ等の電子回路 2 1 a を備え、第 1 の半導体チップ 2 1 を区画する 4 辺に沿って、電子回路 2 1 a の外側に、電子回路 2 1 a に接続された入出力インターフェース回路 5 が複数配置されて

いる。

【 0 0 6 3 】

また、第 1 の半導体チップ 2 1 には、第 2 の半導体チップ 2 2 に隣接する 1 辺に沿って、入出力インターフェース回路 5 の外側に、当該入出力インターフェース回路 5 に接続されたテスト用パッド 6 が複数配置され、当該テスト用パッド 6 のさらに外側に、第 2 の半導体チップ 2 2 との接続を担う接続用パッド 3 が複数配置されている。

【 0 0 6 4 】

接続用パッド 3 は、電子回路 2 1 a に入出力インターフェース回路 5 を介さずに電氣的に接続されている。また、このような接続用パッド 3 の配置とするため、必要に応じて、第 1 の半導体チップ 2 1 の電子回路 2 1 a のうち、第 2 の半導体チップ 2 2 との信号の授受を行なう回路を第 2 の半導体チップ 2 2 側に集めるように設計しておく。

【 0 0 6 5 】

さらに、第 1 の半導体チップ 2 1 には、第 2 の半導体チップ 2 2 に隣接する辺以外の他の 3 辺に沿って、入出力インターフェース回路 5 の外側に、当該入出力インターフェース回路 5 に接続されたテスト用兼接続用パッド 7 が複数配置されている。

【 0 0 6 6 】

第 2 の半導体チップ 2 2 は、論理回路あるいはメモリ等の電子回路 2 2 a を備え、第 2 の半導体チップ 2 2 を区画する 4 辺に沿って、電子回路 2 2 a の外側に、電子回路 2 2 a に接続された入出力インターフェース回路 5 が複数配置されている。

【 0 0 6 7 】

また、第 2 の半導体チップ 2 2 には、第 1 の半導体チップ 2 1 に隣接する 1 辺に沿って、入出力インターフェース回路 5 の外側に、当該入出力インターフェース回路 5 に接続されたテスト用パッド 6 が複数配置され、当該テスト用パッド 6 のさらに外側に、第 1 の半導体チップ 2 1 との接続を担う接続用パッド 3 が複数配置されている。

【 0 0 6 8 】

接続用パッド 3 は、電子回路 2 2 a に入出力インターフェース回路 5 を介さずに電氣的に接続されている。また、このような接続用パッド 3 の配置とするため、必要に応じて、第 2 の半導体チップ 2 2 の電子回路 2 2 a のうち、第 1 の半導体チップ 2 1 との信号の授受を行なう回路を第 1 の半導体チップ 2 1 側に集めるように設計しておく。

【 0 0 6 9 】

さらに、第 2 の半導体チップ 2 2 には、第 1 の半導体チップ 2 1 に隣接する辺以外の他の 3 辺に沿って、入出力インターフェース回路 5 の外側に、当該入出力インターフェース回路 5 に接続されたテスト用兼接続用パッド 7 が複数配置されている。

【 0 0 7 0 】

上記の第 1 の半導体チップ 1 および第 2 の半導体チップ 2 の接続用パッド 3 同士が、接続配線 4 により接続されることにより、第 1 の半導体チップ 2 1 および第 2 の半導体チップ 2 2 が電氣的に接続されることとなる。

【 0 0 7 1 】

上記の第 1 および第 2 の半導体チップ 2 1, 2 2 間の接続配線 4 による接続および支持基板 1 0 0 への実装については、第 1 実施形態において図 2 および図 3 に示した方法と同様にして行なうことができる。

【 0 0 7 2 】

上記構成の本実施形態に係る電子回路装置では、第 1 実施形態と異なり、各半導体チップ 2 1, 2 2 の互いに隣接する辺には、接続用パッド 3 以外にも、インターフェース回路 5 およびテスト用回路 6 が配置されているが、当該インターフェース回路 5 およびテスト用回路 6 は、接続用パッド 3 と電子回路 2 1 a, 2 2 a との間の領域に形成され、接続用パッド 3 は最も外側に配置されている。

また、第 1 実施形態と同様に、接続用パッド 3 と電子回路 2 1 a, 2 2 a とは、入出力インターフェース回路 5 を介さずに直接接続された構成となっている。

【 0 0 7 3 】

従って、たとえ半導体チップのレイアウト設計上の問題で、第 1 実施形態で示

したパッドの配置にすることができないような場合であっても、接続用パッド3を互いに隣接する辺で、かつ、最も外側の領域に接続用パッド3を配置することにより、接続配線4により最短距離での接続が可能となり、信号伝達時間を短縮することができる。

【0074】

また、各半導体チップ21、22の電子回路21a、22aが、余計な入出力インターフェース回路5を介さずに接続されることから、この入出力インターフェース回路5がない分だけ、電力消費が抑制され、信号伝達時間も短縮される。

【0075】

さらに、各半導体チップ21、22間の電氣的接続は、ボンディングワイヤを使用するのではなく、ウェーハ前工程と同様にして、接続用半導体チップ110あるいは支持基板100に形成した接続配線4を介して行なうことから、配線の密度を大きくすることができ、高速動作が可能となる。

【0076】

第4実施形態

図6は、いわゆるマルチチップモジュール技術を適用した本実施形態に係る電子回路装置の平面図である。

図6に示すように、本実施形態に係る電子装置では、インタポーザと称されるシリコン等からなる支持基板100に3つの半導体チップ31、32、33が搭載されている。なお、図1と同様の構成要素には同一の符号を付してあり、その説明は省略する。

【0077】

第1の半導体チップ31は、論理回路あるいはメモリ等の電子回路31aを備え、第1の半導体チップ31を区画する4辺に沿って、電子回路31aの外側に、電子回路31aに接続された入出力インターフェース回路5が複数配置されている。

【0078】

また、第1の半導体チップ31には、第2および第3の半導体チップ32、33に隣接する2辺に沿って、入出力インターフェース回路5の外側に、当該入出

カインターフェース回路 5 に接続されたテスト用パッド 6 が複数配置され、当該テスト用パッド 6 のさらに外側に、第 2 および第 3 の半導体チップ 3 2, 3 3 との接続を担う接続用パッド 3 が複数配置されている。

【 0 0 7 9 】

接続用パッド 3 は、電子回路 3 1 a に入出力インターフェース回路 5 を介さずに電氣的に接続されている。また、このような接続用パッド 3 の配置とするため、必要に応じて、第 1 の半導体チップ 3 1 の電子回路 3 1 a のうち、第 2 および第 3 の半導体チップ 3 2, 3 3 との信号の授受を行なう回路を第 2 および第 3 の半導体チップ 3 2, 3 3 側に集めるように設計しておく。

【 0 0 8 0 】

さらに、第 1 の半導体チップ 3 1 には、第 2 および第 3 の半導体チップ 3 2, 3 3 に隣接する辺以外の他の 2 辺に沿って、入出力インターフェース回路 5 の外側に、当該入出力インターフェース回路 5 に接続されたテスト用兼接続用パッド 7 が複数配置されている。

【 0 0 8 1 】

第 2 の半導体チップ 3 2 は、論理回路あるいはメモリ等の電子回路 3 2 a を備え、第 2 の半導体チップ 3 2 を区画する 4 辺に沿って、電子回路 3 2 a の外側に、電子回路 3 2 a に接続された入出力インターフェース回路 5 が複数配置されている。

【 0 0 8 2 】

また、第 2 の半導体チップ 3 2 には、第 1 および第 3 の半導体チップ 3 1, 3 3 に隣接する 2 辺に沿って、入出力インターフェース回路 5 の外側に、当該入出力インターフェース回路 5 に接続されたテスト用パッド 6 が複数配置され、当該テスト用パッド 6 のさらに外側に、第 1 および第 3 の半導体チップ 3 1, 3 3 との接続を担う接続用パッド 3 が複数配置されている。

【 0 0 8 3 】

接続用パッド 3 は、電子回路 3 2 a に入出力インターフェース回路 5 を介さずに電氣的に接続されている。また、このような接続用パッド 3 の配置とするため、必要に応じて、第 2 の半導体チップ 3 2 の電子回路 3 2 a のうち、第 1 および

第 3 の半導体チップ 3 1, 3 3 との信号の授受を行なう回路を第 1 および第 3 の半導体チップ 3 1, 3 3 側に集めるように設計しておく。

【 0 0 8 4 】

さらに、第 2 の半導体チップ 3 2 には、第 1 および第 3 の半導体チップ 3 1, 3 3 に隣接する辺以外の他の 2 辺に沿って、入出力インターフェース回路 5 の外側に、当該入出力インターフェース回路 5 に接続されたテスト用兼接続用パッド 7 が複数配置されている。

【 0 0 8 5 】

第 3 の半導体チップ 3 3 は、論理回路あるいはメモリ等の電子回路 3 3 a を備え、第 3 の半導体チップ 3 3 を区画する 4 辺に沿って、電子回路 3 3 a の外側に、電子回路 3 3 a に接続された入出力インターフェース回路 5 が複数配置されている。

【 0 0 8 6 】

また、第 3 の半導体チップ 3 3 には、第 1 および第 2 の半導体チップ 3 1, 3 2 に隣接する 1 辺に沿って、入出力インターフェース回路 5 の外側に、当該入出力インターフェース回路 5 に接続されたテスト用パッド 6 が複数配置され、当該テスト用パッド 6 のさらに外側に、第 1 および第 2 の半導体チップ 3 1, 3 2 との接続を担う接続用パッド 3 が複数配置されている。

【 0 0 8 7 】

接続用パッド 3 は、電子回路 3 3 a に入出力インターフェース回路 5 を介さずに電氣的に接続されている。また、このような接続用パッド 3 の配置とするため、必要に応じて、第 3 の半導体チップ 3 3 の電子回路 3 3 a のうち、第 1 および第 2 の半導体チップ 3 1, 3 2 との信号の授受を行なう回路を第 1 および第 2 の半導体チップ 3 1, 3 2 側に集めるように設計しておく。

【 0 0 8 8 】

さらに、第 3 の半導体チップ 3 3 には、第 1 および第 2 の半導体チップ 3 1, 3 2 に隣接する辺以外の他の 3 辺に沿って、入出力インターフェース回路 5 の外側に、当該入出力インターフェース回路 5 に接続されたテスト用兼接続用パッド 7 が複数配置されている。

【 0 0 8 9 】

第 1 の半導体チップ 3 1 と第 2 の半導体チップ 3 2 の接続用パッド 3 間、第 1 および第 2 の半導体チップ 3 1, 3 2 と第 3 の半導体チップ 3 3 の接続用パッド 3 間、接続配線 4 によりそれぞれ接続されることで、各半導体チップ間の電気的な接続がなされている。

【 0 0 9 0 】

上記の各半導体チップ 3 1, 3 2, 3 3 間の接続配線 4 による接続および支持基板 1 0 0 への実装については、第 1 実施形態において図 2 および図 3 に示した方法と同様にして行なうことができる。

【 0 0 9 1 】

上記構成の本実施形態に係る電子回路装置によれば、第 3 実施形態と同様に、各半導体チップ 3 1, 3 2, 3 3 の互いに隣接する辺には、接続用パッド 3 以外にも、インターフェース回路 5 およびテスト用回路 6 が配置されているが、当該インターフェース回路 5 およびテスト用回路 6 は、接続用パッド 3 と電子回路 3 1 a, 3 2 a, 3 3 a との間の領域に形成され、接続用パッド 3 は最も外側に配置されている。

また、第 1 実施形態と同様に、接続用パッド 3 と電子回路 3 1 a, 3 2 a, 3 3 a とは、入出力インターフェース回路 5 を介さずに直接接続された構成となっている。

【 0 0 9 2 】

従って、たとえ半導体チップのレイアウト上の問題で、第 1 実施形態で示したパッドの配置にすることができないような場合であっても、各半導体チップの接続用パッド 3 を互いに隣接する辺で、かつ、最も外側の領域に配置することにより、接続配線 4 により最短距離での接続が可能となり、信号伝達時間を短縮することができる。

【 0 0 9 3 】

また、各半導体チップ 3 1, 3 2, 3 3 の電子回路 3 1 a, 3 2 a, 3 3 a が、余計な入出力インターフェース回路 5 を介さずに接続されることから、この入出力インターフェース回路 5 がない分だけ、電力消費が抑制され、信号伝達時間

も短縮される。

【0094】

さらに、各半導体チップ31、32間の電氣的接続は、ボンディングワイヤを使用するのではなく、ウェーハ前工程と同様にして、接続用半導体チップ110あるいは支持基板100に形成した接続配線4を介して行なうことから、配線の密度を大きくすることができ、高速動作が可能となる。

【0095】

本発明の電子回路装置は、上記の実施形態の説明に限定されない。

例えば、インタポーザと称される支持基板100の構成は特に限定されず、本実施形態のように支持基板100の半導体チップの搭載面の周囲に外部接続用パッドが配置されている構成の他、支持基板100の裏面に複数のバンプが配置した構成のものを採用することもできる。

【0096】

また、接続配線4が形成された接続用半導体チップ110を用いたり、支持基板100に接続用配線4を形成することにより、各半導体チップの接続用パッド3間の電氣的接続を行なう例について説明したが、この方法についても特に限定はない。

【0097】

例えば、支持基板100に搭載した後に、各半導体チップを被覆する絶縁膜を形成し、当該絶縁膜に接続孔に達するコンタクトホールを形成し、当該コンタクトホール内を埋め込んで各接続用パッド3間を接続するような接続配線4を形成してもよい。

その他、本発明の要旨を逸脱しない範囲で、種々の変更が可能である。

【0098】

【発明の効果】

本発明の電子回路装置によれば、各電子素子の素子間接続用端子、外部接続用端子および入出力インターフェース回路の配置を最適化することにより、電力消費の抑制および信号伝達時間の短縮を実現することができる。

【図面の簡単な説明】

【図 1】

第 1 実施形態に係る電子回路装置の一例を示す平面図である。

【図 2】

第 1 実施形態に係る電子回路装置において、半導体チップ間の電氣的接続方法、および支持基板への実装の態様の一例を説明するための模式的な断面図である。

【図 3】

第 1 実施形態に係る電子回路装置において、半導体チップ間の電氣的接続方法、および支持基板への実装の態様の他の例を説明するための模式的な断面図である。

【図 4】

第 2 実施形態に係る電子回路装置の一例を示す平面図である。

【図 5】

第 3 実施形態に係る電子回路装置の一例を示す平面図である。

【図 6】

第 4 実施形態に係る電子回路装置の一例を示す平面図である。

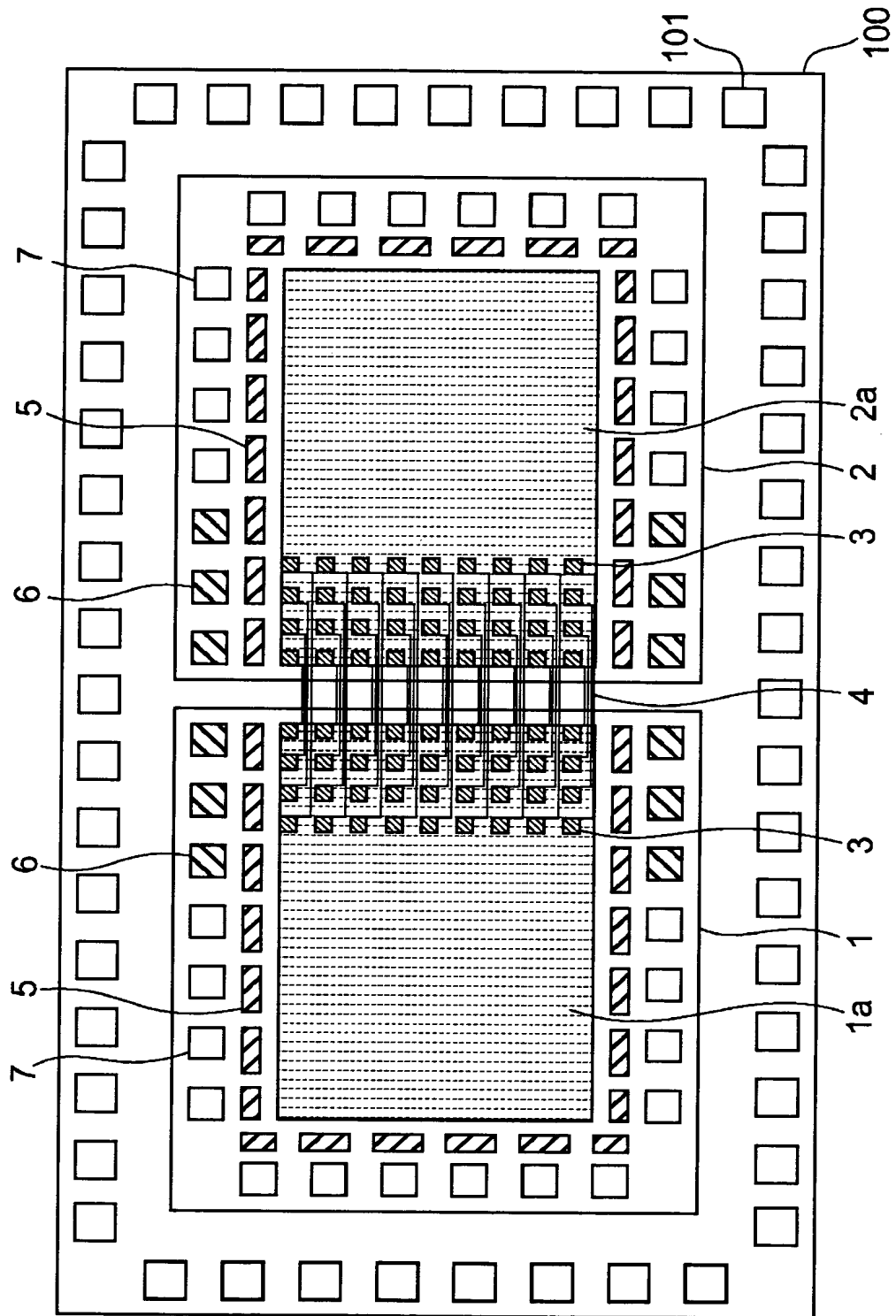
【符号の説明】

1, 2…半導体チップ、1 a, 2 a…電子回路、3…接続用パッド、4…接続配線、5…入出力インターフェース回路、6…テスト用パッド、7…テスト用兼接続用パッド、1 1, 1 2, 1 3…半導体チップ、1 1 a, 1 2 a, 1 3 a…電子回路、2 1, 2 2…半導体チップ、2 1 a, 2 2 a…電子回路、3 1, 3 2, 3 3…半導体チップ、3 1 a, 3 2 a, 3 3 a…電子回路、1 0 0…支持基板、1 0 1…外部接続用パッド、1 0 2…ボンディングワイヤ、1 1 0…接続用半導体チップ、1 1 1…バンプ。

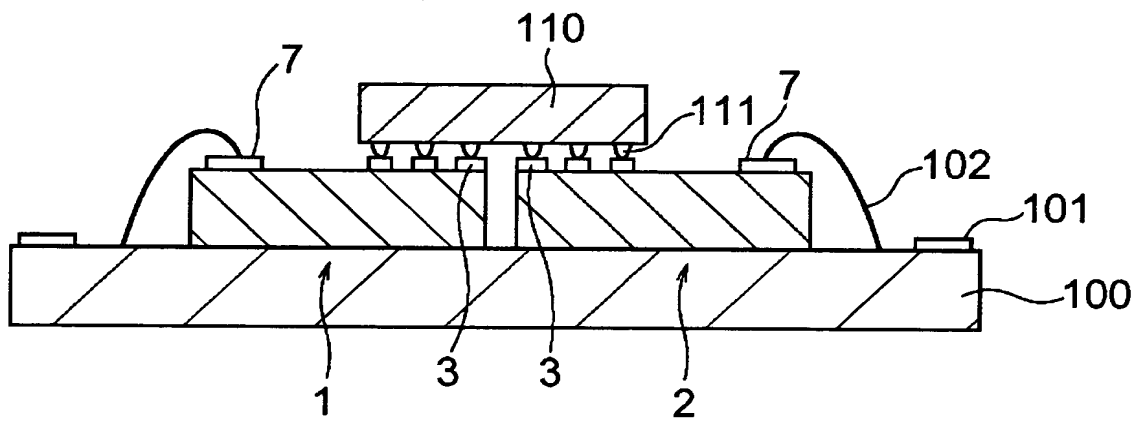
【書類名】

図面

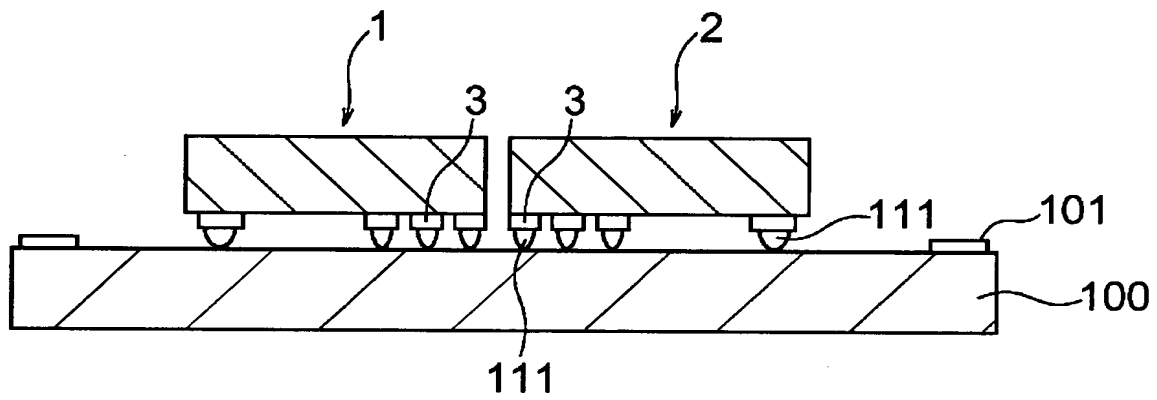
【図 1】



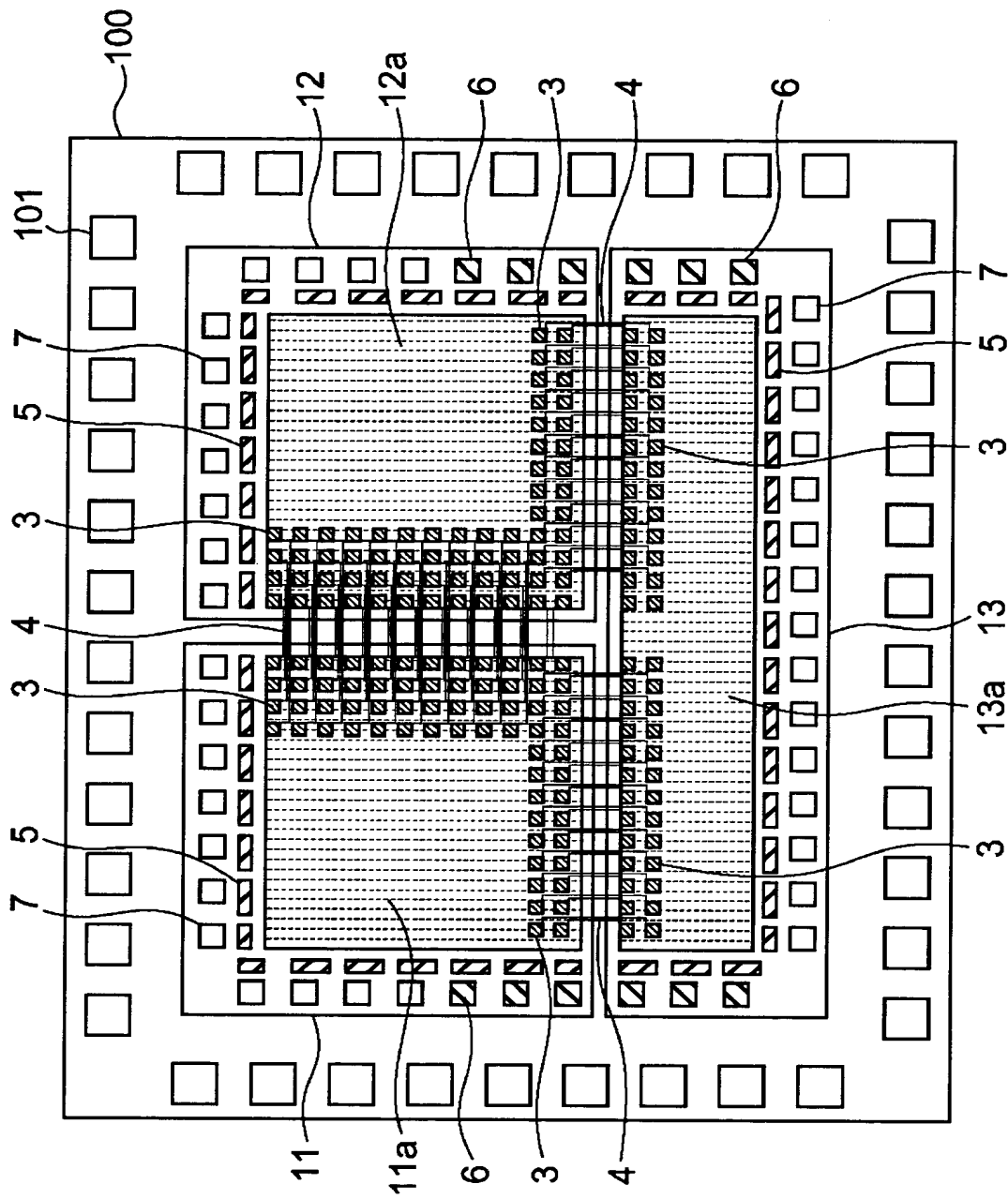
【図 2】



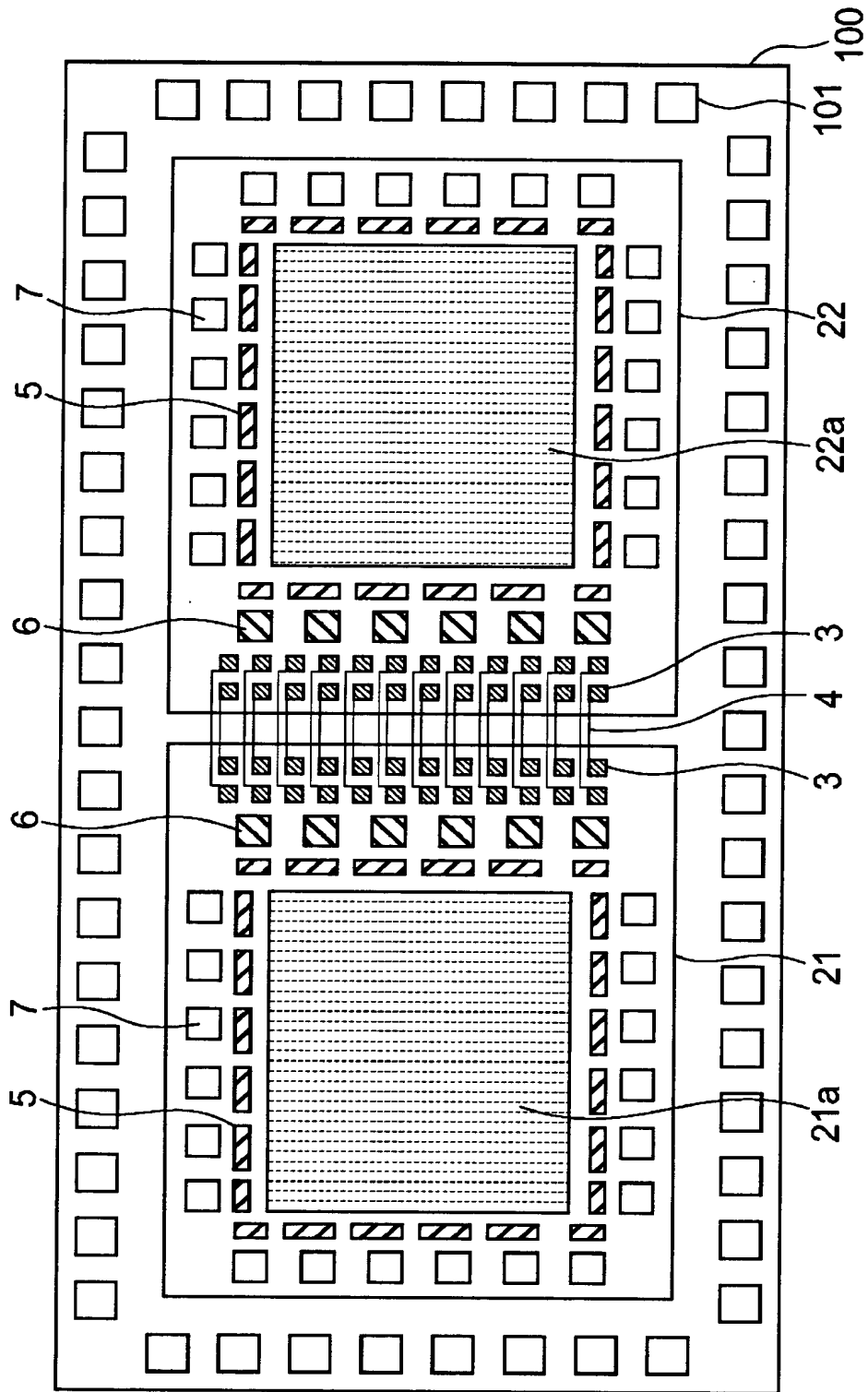
【図 3】



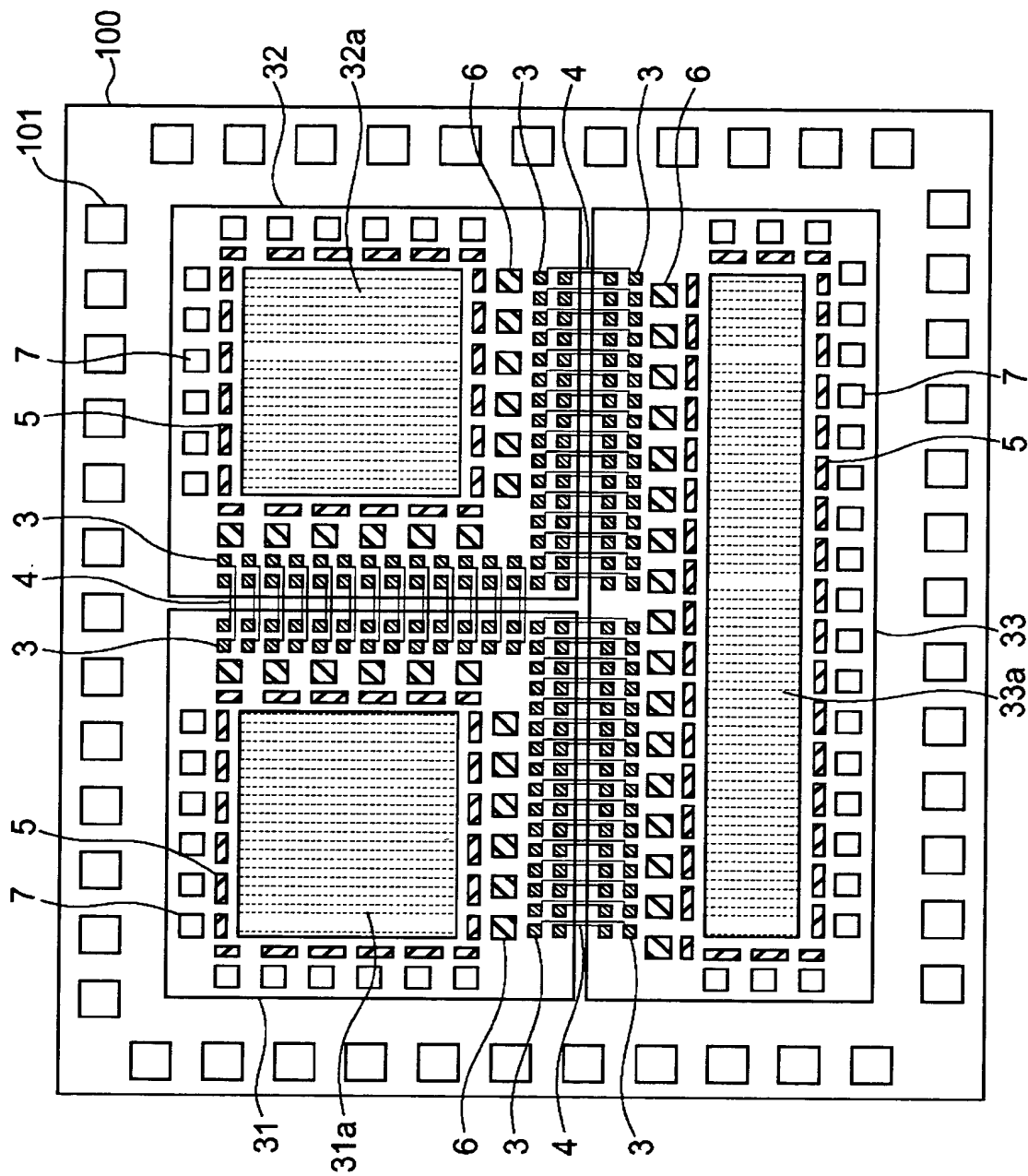
【図4】



【図 5】



【図 6】



【書類名】 要約書

【要約】

【課題】 各電子素子の素子間接続用端子、外部接続用端子および入出力インターフェース回路の配置を最適化することにより、電力消費の抑制および信号伝達時間の短縮を実現することができる電子回路装置を提供する。

【解決手段】 各半導体チップ 1, 2 の互いに隣接する 1 辺には、接続用パッド 3 のみが集まって配置されており、残りの他の 3 辺に沿って入出力インターフェース回路 5 や、テスト用パッド 6、外部接続用パッド 7 が配置されている。そして、さらに接続用パッド 3 と電子回路 1 a, 2 a とは、入出力インターフェース回路 5 を介さずに直接接続された構成となっている。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 2 1 8 5]

1. 変更年月日 1 9 9 0 年 8 月 3 0 日

[変更理由] 新規登録

住 所 東京都品川区北品川 6 丁目 7 番 3 5 号

氏 名 ソニー株式会社